

(18)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-258625

(43)公開日 平成11年(1999)9月24日

(51)Int. CL⁵ G 0 2 F 1/136 識別記号 5 0 0 F : G 0 2 F 1/136 5 0 0

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21)出願番号 特願平10-61107

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成10年(1998)3月12日

(72)発明者 町田 雅彦

兵庫県神戸市中央区上余部50番地 株式会社東芝姫路工場内

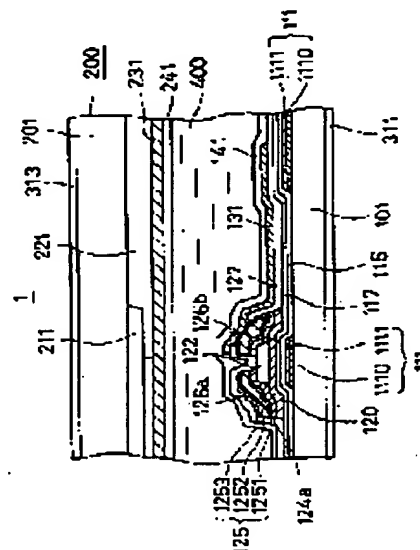
(74)代理人 介理士 森田 隆子 (外1名)

(54)【発明の名称】 表示装置用アレイ基板及びその製造方法

要約

【課題】 液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板及びその製造方法において、表示画面の高精細化に対しても高開口率を実現できるとともに、エッチング残渣による画素不良の発生を防止できるものを与える。

【解決手段】 TFT方式の平面表示装置において、信号線(10)、ソース電極(12)及びドレイン電極(14)を三層積層金属膜(12)とし、この第1及び第3金属膜を厚さ5～30nmのモリブデン金属膜により構成し、第2金属膜をアルミニウム(A1)金属膜またはアルミニウム-ネオジム(A1-Nd)合金(2モル%Nd)で厚さ300nmに構成する。



【特許請求の範囲】

【請求項1】基板上に配置される走査線と、この上に配置される第1絶縁膜と、この上に配置される半導体膜と、前記半導体膜に電気的に接続されるソース電極及びドレイン電極を含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板において、前記信号線、走査線、ドレイン電極及びソース電極は、前記半導体膜と略同一の輪郭形状であり、少なくとも前記信号線が、モリブデンを主体とする導電層、またはモリブデンを主体とする第1及び第3導電層と、アルミニウムを主体とし前記第1導電層と前記第3導電層との間に配置される第2導電層とを含む導電層とから構成されることを特徴とする表示装置用アレイ基板。

【請求項2】前記第2導電層が、下記(i)～(vii)からなるグループより選択される少なくとも一つの添加元素を、これら添加元素の合計含量で0.5～10モル%含むアルミニウム合金であることを特徴とする請求項1記載の表示装置用アレイ基板。

(i) ネオジム(Nd)又はその他の希土類元素、(ii) イットリウム(Y)又はその他の3(ⅢA)族元素、(iii) ジルコニウム(Zr)又はその他の4(ⅣA)族元素、(iv) タンタル(Ta)又はその他の5(VA)族元素、(v) モリブデン(Mo)又はその他の6(VIA)族元素、(vi) 銅(Cu)又はその他の11(ⅠB)族元素、(vii) ニッケル(Ni)、及び、(viii) ホウ素(B)。

【請求項3】前記添加元素が、ネオジム(Nd)、イットリウム(Y)、スカンジウム(Sc)、サマリウム(Sm)、及びガドリニウム(Gd)からなるグループより少なくとも一つ選択されることを特徴とする請求項2記載の表示装置用アレイ基板。

【請求項4】前記第1及び第3金属層の厚さが5～50nmであることを特徴とする請求項1記載の表示装置用アレイ基板。

【請求項5】基板上に配置される走査線と、この上に配置される第1絶縁膜と、この上に配置される第1半導体膜と、前記第1半導体膜に電気的に接続されるソース電極及びドレイン電極を含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、前記第1半導体膜上に前記第1半導体膜よりも低抵抗の第2半導体膜を堆積した後、モリブデンを主体とする導電層、またはモリブデンを主体とする第1及び第3導電層と、アルミニウムを主体とし前記第1導電層と前記第3導電層との間に配置される

第2導電層とを含む導電層を堆積する工程と、前記導電層、前記第1及び第2半導体膜をパターンニングすることにより前記信号線、前記ソース電極、及び前記ドレイン電極とを形成する工程とを含むことを特徴とする表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板に関する。

【0002】

【従来の技術】近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン(以下、a-Si:Hと略称する。)等の半導体薄膜を用いた薄膜トランジスタ(以下、TFTと略称する。)が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電気的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO(Indium Oxide)に電気的に接続されている。

【0004】対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】ところで、上記したアレイ基板の作成の際には、成膜及びパターンニングが複数回繰り返されるが、この回数が多く成るほど工程数が多くなり製造コストが増大するとともに、製品歩留まりの低下の原因ともなる。このような問題点に対処すべく特願平7-258615においては、上記成膜及びパターンニングの回数を少なくできるアレイ基板が提案されている。

【0006】TFT部は、透明絶縁基板上にアルミニウム(Al)-イットリウム(Y)合金からなる走査線自体の一部をゲート電極とした逆スタガ構造をなしており、このゲート電極上に酸化シリコン、窒化シリコン等からなる第1絶縁膜が、さらにこの上にはアモルファスシリコン薄膜等からなる第1半導体層が形成される。そして、第1半導体層の上の略中央部には窒化シリコン等からなる半導体層保護膜が形成されており、この半導体層保護膜の左右両側には、n+型アモルファスシリコン等の低抵抗の第2半導体層からなるコンタクト層が形成

されている。

【0007】このコンタクト層の上には、モリブデン(Mo)-タングステン(W)合金からなるソース電極、ドレイン電極、及び、ドレイン電極から導出される信号線が形成されている。

【0008】

【発明が解決しようとする課題】上記のような液晶表示装置においては、信号線、ソース電極及びドレイン電極を形成する際に、RIE(Retive In Etch)法によりこれらMo-W合金膜とその下の第1及び第2半導体膜を一括してパターニングするが、この際に、タングステンシリサイドが生成し、これが「エッチング残渣」と呼ばれる付着性のゴミとなる。このエッチング残渣は、洗浄による除去が困難であり、これが除去されないまま次の層が堆積されるとリークパスを形成するので、ソース電極とドレイン電極との間の間隙漏れ(アイストッパー箇所)に堆積された場合等に、画素の不良を引き起こす。

【0009】また、Mo-W合金は十分な低抵抗化を達成することが困難であり、このため高精細の平面表示装置を作成するためには信号線の幅を太くすることにより信号線の配線抵抗が過大になるのを防ぐ必要がある。しかし、それでは開口率を損いやすくなる。信号線の配線抵抗が過大になると、信号線信号の波形の歪み等が生じるため画素の不均一化による画質の低下を招く。

【0010】このため、信号線とソース及びドレイン電極を低抵抗のAlで構成することが考えられた。しかし、Al配線では、ITOからなる画素電極との接触面でオーミックなコンタクトが取れずTFTの動作不良を招くと共に電食が発生するおそれがある。また、Al金属面の反射率が極めて高いために露光工程における露光精度が損なわれる。さらに、この上に絶縁膜を形成する必要があるため、熱工程によりAlにヒロック等の変形が生じることがある。すなわち厚さ方向に一部分が盛り上がる現象である。ヒロックが生じると、絶縁膜の層間絶縁性の低下が起り、アレイ基板の歩留を著しく低下させることになる。

【0011】そこで、本発明は、上記問題点を鑑み、エッチング残渣やヒロックによる絶縁不良や電食及び非オーミックコンタクト等に起因する製品歩留まりの低下が防止される表示装置用アレイ基板及びその製造方法を提供することを目的としている。

【0012】また、この発明は、高精細化されても開口率を損なうことのない表示装置用アレイ基板及びその製造方法を提供することを目的としている。

【0013】

【課題を解決するための手段】本発明は、基板上に配置される走査線と、この上に配置される第1絶縁膜と、この上に配置される半導体膜と、前記半導体膜に電気的に接続されるソース電極及びドレイン電極を含む薄膜ト

ランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板において、前記信号線、走査線、ドレイン電極及びソース電極は、前記半導体膜と略同一の輪郭形状であり、少なくとも前記信号線が、モリブデンを主体とする導電層、またはモリブデンを主体とする第1及び第3導電層と、アルミニウムを主体とし前記第1導電層と前記第3導電層との間に配置される第2導電層とを含む導電層とから構成されることを特徴とする表示装置用アレイ基板にある。

【0014】請求項5の表示装置用アレイ基板の製造方法においては、基板上に配置される走査線と、この上に配置される第1絶縁膜と、この上に配置される第1半導体膜と、前記第1半導体膜に電気的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記ドレイン電極から導出されて前記走査線と略直交する信号線と、前記ソース電極と電気的に接続される画素電極とを備えた表示装置用アレイ基板の製造方法において、前記第1半導体膜上に前記第1半導体膜よりも低抵抗の第2半導体膜を堆積した後、モリブデンを主体とする導電層、またはモリブデンを主体とする第1及び第3導電層と、アルミニウムを主体とし前記第1導電層と前記第3導電層との間に配置される第2導電層とを含む導電層を堆積する工程と、前記導電層、前記第1及び第2半導体膜を同一パターンに対応してパターニングすることにより前記信号線、前記ソース電極、及び前記ドレイン電極とを形成する工程とを含むことを特徴とする表示装置用アレイ基板の製造方法にある。

【0015】以上のような構成により、大画面化、高精細化に対しても表示画面の開口率及び均一表示性を損なうことなく、配線形成後に比較的高温のプロセスを経てもヒロックが生じない。また、実質上エッチング残渣を生成しない。

【0016】

【発明の実施の形態】以下、本発明の第1の実施例の液晶表示装置について図1から図13に基づいて説明する。

【0017】この液晶表示装置は、カラー表示が可能な光透過型であって、図2に示すように、アレイ基板10と対向基板20との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜14を介して、ツイスト・ネマチック(TN)液晶が保持されている。また、アレイ基板10と対向基板20との外表面には、それぞれ偏光板30が貼り付けられて構成されている。

【0018】図1は、アレイ基板10の概略平面図を示すものであり、図中の下側が液晶表示装置の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

【0019】アレイ基板(10)は、ガラス基板(10)上に配置される480本の走査線(11)を含み、各走査線(11)の一端は、ガラス基板(10)の一端辺(10a)側に引き出され、斜め配線部(12)を経て走査線パッド(13)に電気的に接続される。なお、走査線(11)は、Al-Nd合金膜(11a)とMo膜(11b)の二層構造である。

【0020】アレイ基板(10)は、ガラス基板(10)上に走査線(11)と略直交する1920本の信号線(12)を含み、各信号線(12)はガラス基板(10)の他の一端辺(10b)側に引き出され、斜め配線部(12)を経て信号線パッド(14)に電気的に接続される。

【0021】なお、この実施例では、信号線(12)は、モリブデン(Mo)から成る第1金属膜(12a)と、アルミニウム(Al)から成る第2金属膜(12b)と、Moから成る第3金属膜(12c)の三層構造で構成される。

【0022】Alの比抵抗率は、約 $3\mu\text{m}\cdot\text{cm}$ であり、従来のMo-W合金の比抵抗率約 $13\cdot5\mu\text{m}\cdot\text{cm}$ と比べて著しく低抵抗である。したがって、従来の信号線に比べてかなり細い配線を用いても信号データ波の変形といった問題が生じない。なお、Alに他の元素を添加した場合、銀や銅以外では一般に抵抗率が多少上昇するが一般にはそれほど問題にならない。

【0023】この走査線(11)と信号線(12)との交点部分近傍には、TFT(15)が配置されている。また、このTFT(15)に接続されるITOから成る画素電極(16)が、走査線(11)及び信号線(12)上に層間絶縁膜(17)を介して配置されている。この層間絶縁膜(17)としては、窒化シリコン膜や酸化シリコン膜等の無機絶縁膜あるいはアクリル系等の有機樹脂被膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間密着性はより一層向上される。

【0024】(TFT領域の構造) TFT(15)領域の構造について説明する。

【0025】各走査線(11)は、隣り合う画素電極(16)の信号線(12)に沿う端辺(16a)(16b)と重複するように細線状に延在される延在領域(18)を含む。画素電極(16)と、画素電極(16)に対応する走査線(11)に対して前段の走査線(11)からの延在領域(18)との重複領域(OS)は、図6に示すように、第1ゲート絶縁膜(19)、第2ゲート絶縁膜(20)及び層間絶縁膜(21)を介して互いに重複され、この重複領域(OS)により補助容量(Cs)が構成される。また、この実施例では、画素電極(16)は前段の走査線(11)自体とも第1ゲート絶縁膜(19)、第2ゲート絶縁膜(20)及び層間絶縁膜(21)を介して互いに重複され、この重複領域でも補助容量(Cs)が構成される。

【0026】このアレイ基板(10)に対向する対向基板(22)は、ガラス基板(22)上に配置され、TFT(23)領域、信号線(24)及び走査線(25)と画素電極(26)と

の間隙を遮光するマトリクス状の樹脂性の遮光膜(27)を含む。また、画素電極(26)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラーフィルタ(28)が配置され、この上に透明電極材料から成る対向電極(29)が配置されて構成される。

【0027】以上のように、この液晶表示装置(1)のアレイ基板(10)によれば、信号線(12)及び走査線(11)と画素電極(16)との間には、層間絶縁膜(21)あるいは第1及び第2ゲート絶縁膜(19)(20)及び層間絶縁膜(21)がそれぞれ配置されているので、画素電極(16)を各信号線(12)(11)に対して十分に近接、もしくは重畳して配置することができ、これにより高開口率化を実現することができる。

【0028】また、この実施例によれば、補助容量(Cs)が画素電極(16)と、この画素電極(16)と隣接する走査線(11)から延在される延在領域(18)の間で形成されるので、別途補助容量線等を配置する必要がなく、一層の高開口率化が可能となる。特に、この実施例では、TFT(15)は、走査線(11)から信号線(12)に沿って導出される領域をゲート電極として構成されるため、画素電極(16)は前段の走査線(11)自体にも重畳させることができる。これにより、十分な補助容量(Cs)の確保と高開口率化が同時に達成される。

【0029】そして、画素電極(16)と走査線(11)及び延在領域(18)の間には、3種類の絶縁膜(19)(20)(21)がそれぞれ積層配置されているので、本実施例の構造に起因した層間ショート等の発生も極めて軽減される。

【0030】ところで、この実施例では、画素領域が、対向基板(22)に配置される遮光膜(27)ではなくアレイ基板(10)上の走査線(11)及びその延在領域(18)によって画定される。従って、アレイ基板(10)と対向基板(22)との合わせ精度によらず、走査線(11)をパターンニングする第1のマスクパターンと画素電極(16)をパターンニングする第5のマスクパターンとの合わせ精度によってのみ決定されるので、アレイ基板(10)との対向基板(22)との合わせずれを考慮して遮光膜(27)にマージンを設ける必要がないので、更なる高開口率の実現が可能となる。

【0031】さらに、画素領域を画定するため、走査線(11)の延在領域(18)を画素電極(16)の信号線(12)に沿う端辺(16a)(16b)に沿って十分に延在させても、この実施例によれば、画素電極(16)と走査線(11)の延在領域(18)の間には第1ゲート絶縁膜(19)及び第2ゲート絶縁膜(20)の他に層間絶縁膜(21)が配置されているので、生産性を損なうことなく補助容量(Cs)の大幅な増大を抑えることができる。

【0032】また、図5に示すように、信号線(12)の輪郭と低抵抗半導体膜(23)及び半導体膜(24)の輪郭が一致している。さらに詳しくは、信号線(12)と走査

線(11)との交差部には、必ず第1乃至第2ゲート絶縁膜(12、13)の他に低抵抗半導体膜(14)及び半導体膜(15)が積層されている。このため、各パターンニングに際してマスクずれが生じても、信号線(11)と走査線(11)との間の容量変動が軽減される。また、信号線(11)と走査線(11)との交差部における静電気、プロセス中でのゴミ、あるいは各絶縁膜(12、13)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。

【0033】さらに、図6に示すように、信号線(11)の輪郭と低抵抗半導体膜(14)及び半導体膜(15)の輪郭が一致しているので、従来の如く別工程でパターンニングされるのは異なり、各パターンニングに際してマスクずれが生じても、信号線(11)と走査線(11)の延在領域(11)との間に生じる容量変動も十分に抑えることができる。

【0034】また、信号線(11)と走査線(11)の延在領域(11)とを重畳、即ち図6において信号線(11)を介して隣接して配置される延在領域(11)を信号線(11)下において接続する構造としても、信号線(11)と走査線(11)の延在領域(11)の間には、各絶縁膜(12、13)の他に半導体膜(14)が必ず配置されるので、静電気、プロセス中でのゴミ、あるいは各絶縁膜(12、13)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。そして、このように信号線(11)と隣接する画素電極(16)下延在領域(11)を配置する構成により、信号線(11)と画素電極(16)との間の容量結合が延在領域(11)によってシールドされ、画素電極(16)の電位が信号線(11)の電位によって受ける影響を軽減できる。しかも、信号線(11)と絶縁膜(12、13)との間に配置される半導体膜(14)及び低抵抗半導体膜(15)の輪郭が信号線(11)の輪郭と一致している。これらの理由から、信号線(11)と画素電極(16)とを十分に近接配置することができ、これにより一層の高開口率化が達成される。

【0035】(走査線の外周部付近の構造) 走査線(11)の外周部付近の構造について、図1及び図3に基づいて説明する。

【0036】走査線(11)は、ガラス基板(10)の一端(11)に引出され、斜め走査線部(11)及び走査線パッド(11)に導かれる下層走査線部(11)を形成している。

【0037】斜め走査線部(11)においては、走査線(11)から延在される下層走査線部(11)上には2層の絶縁膜(12、13)が積層配置されている。また、この2層の絶縁膜(12、13)の上には、半導体被膜(14)、低抵抗半導体被膜(15)及び信号線(11)と同一工程で同一材料である上層走査線部(11)が積層され、この上層走査線部(11)の上には層間絶縁膜(16)が配置されている。

【0038】そして、この斜め走査線部(11)の基部にお

いては、一対を成す第1コンタクトホール(17)と第2コンタクトホール(17)とがそれぞれ走査線方向に沿って近接して配置され、画素電極(16)と同一工程で同一材料であるITOからなる走査線接続層(18)によって走査線(11)から延在される下層走査線部(11)と上層走査線部(11)とが第1コンタクトホール(17)及び第2コンタクトホール(17)を介して電氣的に接続されている。なお、第2コンタクトホール(17)は、下層走査線部(11)の主表面の一部を露出するように2層の絶縁膜(12、13)、半導体被膜(14)、低抵抗半導体被膜(15)及び上層走査線部(11)を貫通する開口であって、第1コンタクトホール(17)は上層走査線部(11)の主表面の一部を露出するように層間絶縁膜(16)を貫通する開口である。

【0039】また、走査線パッド(11)においては、やはり一対を成す第1コンタクトホール(17)と第2コンタクトホール(17)とがそれぞれ走査線方向に沿って近接して配置され、画素電極(16)と同一工程で同一材料であるITOからなる走査線接続層(18)によって走査線(11)の下層走査線部(11)と上層走査線部(11)とが第1コンタクトホール(17)及び第2コンタクトホール(17)を介して電氣的に接続されている。なお、第2コンタクトホール(17)は、上述した第2コンタクトホール(17)と同様に、下層走査線部(11)の主表面の一部を露出するように2層の絶縁膜(12、13)、半導体被膜(14)、低抵抗半導体被膜(15)及び上層走査線部(11)を貫通する開口であって、第1コンタクトホール(17)は上述の第1コンタクトホール(17)と同様に上層走査線部(11)の主表面の一部を露出するように層間絶縁膜(16)を貫通する開口である。

【0040】これにより、走査線(11)の斜め走査線部(11)は、互いに別工程でパターンニングされる信号線(11)と同一材料で同一工程で作製される上層走査線部(11)と走査線(11)から延在される下層走査線部(11)との積層構造で構成され、この2層によって斜め走査線部(11)の基部と走査線パッド(11)とが電氣的に接続される。

【0041】このため、斜め走査線部(11)において、上層走査線部(11)または下層走査線部(11)の一方が断線しても、他方が接続されているため、斜め走査線部(11)での断線不良が極めて軽減される。

【0042】また、斜め走査線部(11)は、低抵抗材料であるAl-Nd合金膜(11)よりなる下層走査線部(11)を含むため、十分な低抵抗化が図れる。

【0043】なお、この実施例では、第2コンタクトホール(17)の領域、即ち下層走査線部(11)と走査線接続層(18)との積層領域が主として走査線パッド(11)の接続領域として機能する。

【0044】(信号線の外周部付近の構造) 信号線(11)の外周部付近の構造について、図1及び図4に基づいて説明する。

【0045】走査線(11)と同一工程で同一材料から成る下層配線部(11a)が、各信号線(10)に対応してガラス基板(10)の一端部(10a)側の信号線(10)の斜め配線部(10b)及び信号線パッド(10c)に配置されている。

【0046】斜め配線部(10b)においては、下層配線部(11a)の上には、2層の絶縁膜(11b, 11c)が配置されている。また、この2層の絶縁膜(11b, 11c)の上に、半導体被膜(11d)、低抵抗半導体被膜(11e)及び信号線(11f)から延在される上層配線部(11g)（信号線(10)）が積層され、この上層配線部(11g)上には層間絶縁膜(11h)が配置されている。

【0047】そして、この斜め配線部(10b)の基部においては、一対を成す第1コンタクトホール(10d)と第2コンタクトホール(10e)とがそれぞれ配線方向に沿って近接して配置され、画素電極(10f)と同一工程で同一材料であるITOからなる信号線接続層(10g)によって信号線(10)から延在される上層配線部(11g)と下層配線部(11a)とが電氣的に接続されている。なお、第2コンタクトホール(10e)は、下層配線部(11a)の主表面の一部を露出するように2層の絶縁膜(11b, 11c)、半導体被膜(11d)、低抵抗半導体被膜(11e)及び上層配線部(11g)を貫通する開口であって、第1コンタクトホール(10d)は上層配線部(11g)の主表面の一部を露出するように層間絶縁膜(11h)を貫通する開口である。

【0048】また、信号線パッド(10c)においては、やはり一対を成す第1コンタクトホール(10d)と第2コンタクトホール(10e)とがそれぞれ配線方向に近接して配置され、画素電極(10f)と同一工程で同一材料であるITOからなる信号線接続層(10g)によって信号線(10)から延在される上層配線部(11g)と下層配線部(11a)とが電氣的に接続されている。なお、第2コンタクトホール(10e)は、上述した第2コンタクトホール(10d)と同様に、下層配線部(11a)の主表面の一部を露出するように2層の絶縁膜(11b, 11c)、半導体被膜(11d)、低抵抗半導体被膜(11e)及び上層配線部(11g)を貫通する開口であって、第1コンタクトホール(10d)は上述の第2コンタクトホール(10e)と同様に上層配線部(11g)の主表面の一部を露出するように層間絶縁膜(11h)を貫通する開口である。

【0049】これにより、斜め配線部(10b)においては、信号線(10)から延在される上層配線部(11g)と走査線(11)と同一工程で同一材料である下層配線部(11a)とが積層配置され、この2層によって、斜め配線部(10b)の基部と信号線パッド(10c)とを電氣的に接続している。

【0050】そのため、斜め配線部(10b)において、上層配線部(11g)または下層配線部(11a)の一方が断線しても、他方が接続されているため、斜め配線部(10b)に断線不良が生じることが軽減される。

【0051】また、斜め配線部(10b)は、低抵抗材料で

あるAl-Nd合金膜(11f)よりなる下層配線部(11a)を含むため、十分な低抵抗化が図れる。

【0052】なお、この実施例では、第2コンタクトホール(10e)の領域、即ち下層配線部(11a)と走査線接続層(10g)との積層領域が主として信号線パッド(10c)の接続領域として機能する。

【0053】上述した構成によれば、駆動ICのバンブ、FPC（フレキシブル・プリント・サーキット）やTCP（テープ・キャリア・パッケージ）の電極等を信号線パッド(10c)及び走査線パッド(10d)にACF（異方性導電膜）等の接続層を介して電氣的に接続する場合に、信号線パッド(10c)及び走査線パッド(10d)の構成が実質的に同一であるため、信号線パッド(10c)及び走査線パッド(10d)の接続条件を等しくしても接続層に印加される熱や圧力等が略等しくでき、これにより同一条件での製造が可能となる。即ち、この実施例では、走査線パッド(10d)の接続層或は、主として走査線(11)から導出される下層配線部(11a)と画素電極(10f)と同一材料であるITOからなる走査線接続層(10g)との積層構造で構成され、また信号線接続層(10g)の接続層或は、主として走査線(11)と同時に形成される下層配線部(11a)と画素電極(10f)と同一材料であるITOからなる信号線接続層(10g)との積層構造で構成されており、その構造は実質的に同一である。

【0054】（アレイ基板の製造工程）次に、このアレイ基板(10)の製造工程について、図7から図13を参照して詳細に説明する。

【0055】（1）第1工程

ガラス基板(10a)に、スパッタ法により、Al-Nd膜（2モル%Nd）21を300nmの膜厚、Mo膜22を50nmの膜厚に堆積させる。ここで、モル%は、原子を要素粒子とするものであり、合金全体の原子数（モル数）に対する添加元素の原子数（モル数）の百分率である。

【0056】Mo膜22の膜厚としては、5～50nm、好ましくは5～30nmの間にあればよい。但し、5nm未満となるとAlのヒロックが抑えきれなくなる。一方、50nmを越えると、絶縁膜の段切れの問題が発生する。

【0057】Al合金膜は、例えば、Al-Y（Yが2モル%）、Al-Gd（Gdが2モル%）、Al-Sc（Scが2モル%）等でも可能である。このAl合金膜はプラズマCVD法等の成膜により、熱処理効果を受け、不純物のみが結晶粒界付近に偏析して、Al原子の移動を妨げてヒロックの発生を防止している。多結晶中にも不純物は存在し、比抵抗を約30%程度上昇させる。

【0058】なお、アルミニウム合金が、Sc、Y、Nd、Sm、Gdのうち少なくとも2つを含んでいて、かつ、その添加元素の総和が10モル%以下になるように

してもよい。

【0059】この積層膜上に、フォトリソグラフィを用いて走査線パターンと補助容量配線の一部を形成し、リン酸、酢酸、硝酸の混酸を用いてテーパ形状にエッチングし、走査線と補助容量配線パターンを完成させる。

【0060】これにより、ガラス基板(10)上に480本の走査線(11)を作製すると共に、その一端辺(11a)側において走査線(11)の斜め露出部(11b)及び走査線パッド(11c)を構成する下層露出部(11d)、一端辺(11b)において信号線(12)の斜め露出部(12b)及び信号線パッド(12c)を構成する下層露出部(11d)をそれぞれ同時に作製する。

【0061】さらに、TFT領域では走査線(11)と一体で走査線(11)と直交する方向に導出されるゲート電極を作製する。また、走査線(11)のパターニングの際に走査線(11)と直交する方向に導出され、補助容量(Cs)を形成するための延在領域(11e)も同時に作製しておく(図1参照)。

【0062】(2)第2工程

第1工程の後、図8に示すように、ガラス基板(10)を300℃以上に加熱した後、常圧プラズマCVD法により150nm厚の酸化シリコン膜(SiO₂膜)から成る第1ゲート絶縁膜(11f)を堆積した後、さらに減圧プラズマCVD法により150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(11g)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(11h)を連続的に大気中にさらすことなく成膜する。

【0063】ガラス基板(10)を300℃以上に加熱した後に成膜することで、絶縁耐圧が $5 \times 10^6 \text{V/cm}$ の絶縁膜が得やすい。また、窒化膜であれば、上記耐圧に加え、光学ギャップが5eV以上のものが得やすい。

【0064】SiO₂膜の代わりに、ガラス基板(10)を300℃以上に加熱した後、熱CVD法によるSiO₂膜を用いてもよい。このとき、熱処理が加わるため、Al膜のヒロック発生が懸念されるが、Al合金とMoの効果で、ほとんどヒロックは抑制されている。

【0065】(3)第3工程

第2工程の後、図9に示すように、走査線(11)をマスクとした表面露光技術により走査線(11)に自己整合的にチャネル保護被膜(11h)をパターニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターニング(第2のパターニング)を経て、島状のチャネル保護膜(11h)を作製する。

【0066】(4)第4工程

第3工程の後、図10に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(11i)表面を弗酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn⁺a-Si:Hから成る低抵抗半導体被膜(11j)を堆積する。さ

らに、Moからなる第1金属膜(11k)を25nm、Alからなる第2金属膜(11l)を300nm、Moからなる第3金属膜(11m)を50nmの厚さにこの順でスパッタリングにより連続して堆積することにより三層積層金属膜(11n)を形成する。

【0067】第1及び第3金属膜(11k、11m)を形成するMo金属膜の膜厚としては、第1工程の走査線(11)作製の際と同様に、5~50nm、好ましくは5~30nmの間にあればよい。但し、5nm未満となるとAlのヒロックが抑えきれなくなる。一方、50nmを超えると、次工程の説明において述べるような絶縁膜の段切れの問題が発生する。

【0068】第1及び第3金属膜(11k、11m)は、金属Mo単体からなるもの以外に、Moを主体とする合金であっても良い。但し、タングステンを實質的に含まず熱プロセスによる影響を受けない程度に高融点である必要がある。ここで、Moを主体とする合金とは、Moを50mol%以上、好ましくは70mol%以上含む合金であり、好ましくは、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ネオブ(Nb)、タンタル(Ta)といった類似の性質の金属との合金である。しかし、他の金属及び非金属であっても、エッチング残渣を生成しないものであれば添加可能である。

【0069】第2金属膜(11l)は、Alを主体とした金属膜であってもAlを主体とする合金膜であっても良い。

【0070】金属Al単体からなる場合、成膜がより容易となるものの耐ヒロック性は非常に高いとは言えない。しかし、本実施例の積層構成では、この三層積層金属膜(11n)の形成後には高温プロセスを要する酸化シリコン生成の工程がなく保護絶縁膜としては比較的低温で生成できる窒化シリコンが用いられているため問題がない。これは、走査線(ゲート線)(111)の場合と異なる。

【0071】Alを主体とする合金として特に好ましいものは、走査線(ゲート線)(111)において用いたAl-Nd膜21と同様のものである。特に、ネオジム(Nd)を0.5~10mol%程度、より好ましくは1~3mol%含むAl-Nd合金である場合には、Al単体の場合に比べて融点並びに熱軟化温度が上昇するためヒロック防止の点でより好ましく、しかもAl単体に比べての抵抗率の上昇はほとんど問題にならない程度である。このようなAl-Nd合金であると、第1工程において説明したと同様に、高融点のNdが結晶粒界付近及び該金属膜の表面に偏析するために全体の見かけの融点及び熱軟化温度が上昇し、低融点のAlが高融点のNdからなる小部屋状の結晶粒界によって変形及び流動が抑制されるものと考えられる。ネオジム(Nd)以外の金属及び非金属であってもある種のものであるならばほぼ

同様の効果が得られ、第1工程において説明したと同様、例えば、Al-Y (Yが2モル%)、Al-Gd (Gdが2モル%)、Al-Sc (Scが2モル%)、Al-Sm (Smが2モル%)でも可能である。その他使用可能な添加元素としては、次のものが挙げられる。

(i) ネオジウム(Nd)又はその他の希土類元素、(ii) イットリウム(Y)又はその他の3(ⅢA)族元素、(iii) ジルコニウム(Zr)又はその他の4(ⅣA)族元素、(iv) タンタル(Ta)又はその他の5(ⅤA)族元素、(v) モリブデン(Mo)又はその他の6(ⅥA)族元素、(vi) 銅(Cu)又はその他の11(ⅠB)族元素、(vii) ニッケル(Ni)、及び、(viii) ホウ素(B)である。これらは、Alに比べて高融点であり、合金中で上記のような偏析を生じると考えられるものである。これら元素は単独でも組み合わせでもAlに対して添加可能であり、添加量はNdの場合と同様、0.5~10モル%好ましくは1~3モル%である。数種を組み合わせる場合には、添加量の総計がこの範囲内である。これら添加元素とAlのみとの合金が最も好ましいが、低抵抗率及び耐ヒロック性を損なわない範囲で他の元素を含むこともできる。このようなAl合金中のAlの含量は70%以上、好ましくは80%以上、より好ましくは90%以上である。

【0072】なお、上記の様であると、低抵抗であるが耐食性の小さいAl-Al₂O₃層とn+a-Si:Hから成る低抵抗半導体被膜(Ⅱ)との間には耐食性のMo層が配されるため、Al-Al₂O₃層が電食を受けることがない。

【0073】(5) 第5工程
第4工程の後、図11に示すように、第3のマスクパターンを用いてソース電極(Ⅲ)、ドレイン電極(Ⅳ)及び2400本の信号線(Ⅴ)のパターンを露光、現像した後、硝酸、酢酸、リン酸及び水の混合溶液を用いたウェットエッチングにより三層積層金属膜(Ⅵ)からなるこれらソース電極(Ⅲ)等のパターンを形成する。続いて、TFTのコンタクト層をなす低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)をSF₆、塩化水素、及び酸素の混合ガスを用いたプラズマエッチングによりパターン形成する。この際、窒化シリコン膜から成る第1ゲート絶縁膜(Ⅰ)あるいは第2ゲート絶縁膜(Ⅱ)とチャネル保護膜(Ⅶ)とのエッチング選択比を制御することで、これらの層(Ⅲ、Ⅳ、Ⅴ)が一括してパターンニングされる。(第3のパターンニング)これにより、TFT領域においては、半導体被膜(Ⅲ)、低抵抗半導体被膜(Ⅳ)、ソース電極(Ⅲ)、ドレイン電極(Ⅳ)及び信号線(Ⅴ)とを同一マスクに基づいて順次作製する。

【0074】走査線パッド(Ⅷ)及び斜め配線部(Ⅷ)の基板上においては、下層配線部(Ⅷ)上に沿って三層構造膜(Ⅷ)をパターンニングして上層配線部(Ⅷ)を形成すると共に、上層配線部(Ⅷ)に沿って低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)を同一マスクに基づいて順

次パターンニングする。これと同時に、上述した第2コンタクトホール(Ⅵ)に対応する上層配線部(Ⅷ)と低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)を貫通する開口(Ⅵ)を作製する。

【0075】同様に、信号線パッド(Ⅷ)及び斜め配線部(Ⅷ)の基板上においても、下層配線部(Ⅷ)上に沿って三層構造膜(Ⅷ)をパターンニングして信号線(Ⅷ)から延在される上層配線部(Ⅷ)を形成すると共に、上層配線部(Ⅷ)に沿って低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)を同一マスクに基づいて順次パターンニングする。これと同時に、上述した第2コンタクトホール(Ⅵ)に対応する領域の上層配線部(Ⅷ)、低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)を貫通する開口(Ⅵ)を作製する。

【0076】本工程のパターンニングの後に、走査電子顕微鏡により表面状態を観察したがエッチング残渣の発生は全く観察されなかった。一方、Al配線の上面がMo層によって覆われているため、Al金属面の高反射率によって露光精度が損なわれることはない。

【0077】Alを主体とする層からなる第2金属膜(Ⅱ)をサンドイッチ状に挟み込む第1及び第3金属膜(Ⅰ、Ⅲ)がMo層であるため、通常のエッチング液によっても適当にエッチング選択比を調整することにより三層積層金属膜(Ⅵ)を一括してパターンニングすることができる。特に、上記のような膜厚構成およびエッチング液の組成を選択することにより、エッチングされる領域とされない領域との段差面の傾斜が適度に緩やかになる。このため、段差面が急峻な配線である場合に起きる段切れ、即ち、これらの上方の層に配された配線が段差面を横切る箇所で接続が不良又は不十分となるといった問題が生じない。

【0078】尚、第1及び第3金属膜(Ⅰ、Ⅲ)がクロム(Cr)又はチタン(Ti)層である場合には適当なエッチング媒体は全く見あたらない。また、Mo層を用いているため、Cr層を用いる場合のような廃液処理や環境汚染の問題が生じない。

【0079】ここでは、三層積層金属膜(Ⅵ)、低抵抗半導体被膜(Ⅲ)及び半導体被膜(Ⅳ)のパターンニングは、ウェットエッチングとこれに続くドライエッチングとの連続工程により行ったが、ドライエッチングのみ、又は、ウェットエッチングのみにより行うこともできる。

【0080】(6) 第6工程
第5工程の後、この上に200nm厚の窒化シリコン膜から成る層間絶縁膜(Ⅷ)を堆積する。

【0081】そして、図12に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(Ⅲ)に対応する領域の一部の層間絶縁膜(Ⅷ)を除去してドライエッチングによりコンタクトホール(Ⅵ)を形成する。

【0082】走査線パッド(図)及び斜め配線部(図)の基板上においては、開口(図)(図)に対応する第1及び第2ゲート絶縁膜(図)と共に層間絶縁膜(図)を一括して除去して第2コンタクトホール(図)(図)を形成する(第4のパターニング)と同時に、第2コンタクトホール(図)(図)近傍の層間絶縁膜(図)を除去して第2コンタクトホール(図)(図)と一対を成す第1コンタクトホール(図)(図)を作製する。

【0083】同時に、信号線パッド(図)及び斜め配線部(図)の基板上においては、開口(図)(図)に対応する第1及び第2ゲート絶縁膜(図)と共に層間絶縁膜(図)を一括して除去して第2コンタクトホール(図)(図)を形成すると同時に、第2コンタクトホール(図)(図)近傍の層間絶縁膜(図)を除去して第2コンタクトホール(図)(図)とそれぞれ一対を成す第1コンタクトホール(図)(図)を作製する。

【0084】(7)第7工程
第6工程の後、図13に示すように、この上に100nm厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、ドライエッチングによるパターニング(第5のパターニング)を経て、画素電極(図)を作製する。ITO膜のパターニングも、ドライエッチングに代えてウエットエッチングであっても構わない。

【0085】走査線パッド(図)及び斜め配線部(図)の基板上においては、第1コンタクトホール(図)(図)と第2コンタクトホール(図)(図)とを、それぞれ電気的に接続するための走査線接続層(図)を形成し、これにより走査線(図)と走査線パッド(図)とは、下層配線部(図)と上層配線部(図)の2層構造の斜め配線部(図)により電気的に接続される。

【0086】信号線パッド(図)及び斜め配線部(図)の基板上においても、第1コンタクトホール(図)(図)と第2コンタクトホール(図)(図)とを、それぞれ電気的に接続するための信号線接続層(図)を同時に形成し、これにより信号線(図)と信号線接続パッド(図)とは、下層配線部(図)と上層配線部(図)の2層構造の斜め配線部(図)により電気的に接続される。

【0087】(実施例の効果)以上のように、この実施例のアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて順次パターニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時に行うことで、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0088】信号線及び走査線が低抵抗のAl層を含む

配線であるため、大画面化、高精細化に対しても表示面の開口率及び均一表示性を損なうことがない。特に、これら配線がAlを主体とする層に積層される高融点層を有するため、配線形成後に高温プロセスを経てもヒロックが生じない。また、この高融点層がMoといった金属によって形成されているため、実質上エッチング残渣を生成しない。

【0089】また、信号線及び走査線の各斜め配線部においては、信号線を成す上層配線部と走査線を成す下層配線部との2層によって構成され、各斜め配線部の基部と各パッドとを電気的に接続している。そのため、斜め配線部において、上層配線部または下層配線部の一方が断線しても、他方が接続されているため、斜め配線部が断線することはない。

【0090】更に、斜め配線部は、少なくともAlを主体とした低抵抗材料で構成される配線層を含むため、十分な低抵抗化が図れる。

【0091】また、駆動ICの bumps や T C P 等の電極を接続するための信号線パッド及び走査線パッドは、実質的に同一構成であるため、両者を同じ条件で接続することが可能となる。

【0092】

【発明の効果】以上に述べたように本発明によれば、エッチング残渣やヒロックによる絶縁不良を十分に防止できる。また、本発明によれば、信号線配線の抵抗率を著しく低下させることができる。したがって、製品不良率を低減することができ、高精細かつ高開口率の平面表示装置を得ることができる。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】図2は、図1におけるA-A'線に沿って切断した液晶表示装置の概略断面図である。

【図3】図3は、図1におけるB-B'線に沿って切断した液晶表示装置の概略断面図である。

【図4】図4は、図1におけるC-C'線に沿って切断した液晶表示装置の概略断面図である。

【図5】図5は、図1におけるD-D'線に沿って切断した液晶表示装置の概略断面図である。

【図6】図6は、図1におけるE-E'線に沿って切断した液晶表示装置の概略断面図である。

【図7】図7は、図1におけるアレイ基板を製造する第1工程を説明するための図である。

【図8】図8は、図1におけるアレイ基板を製造する第2工程を説明するための図である。

【図9】図9は、図1におけるアレイ基板を製造する第3工程を説明するための図である。

【図10】図10は、図1におけるアレイ基板を製造する第4工程を説明するための図である。

【図11】図11は、図1におけるアレイ基板を製造す

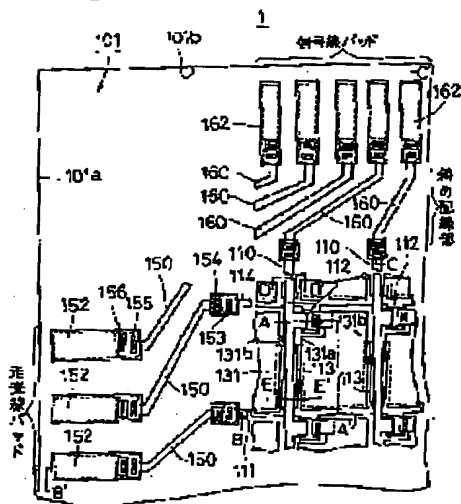
る第5工程を説明するための図である。
 【図12】図12は、図1におけるアレイ基板を製造する第6工程を説明するための図である。
 【図13】図13は、図1におけるアレイ基板を製造する第7工程を説明するための図である。

【符号の説明】

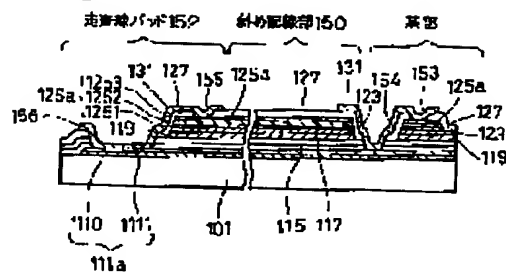
110 信号線
 111 走査線
 112 薄膜トランジスタ
 113 延在部或
 115 第1絶縁膜

117 第2絶縁膜
 120 半導体膜
 125 三層積層金属膜
 1251 第1金属膜
 1252 第2金属膜
 1253 第3金属膜
 126a ドレイン電極
 126b ソース電極
 131 画素電極
 1110 Al-Nd合金膜
 1111 Mo膜

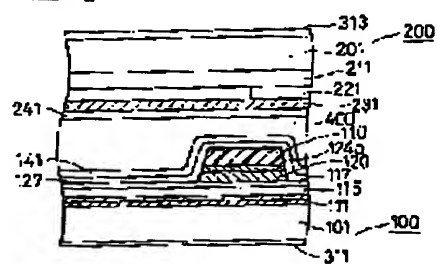
【図1】



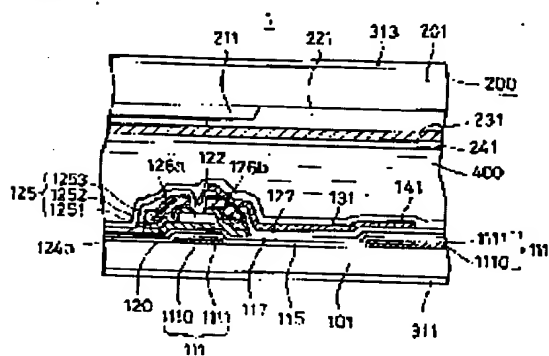
【図3】



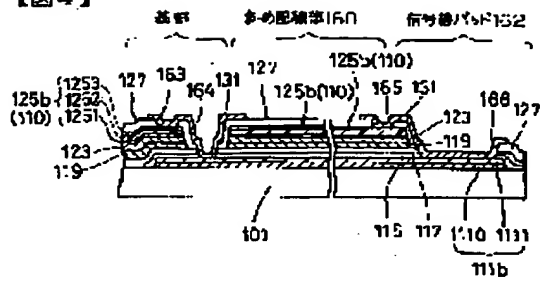
【図5】



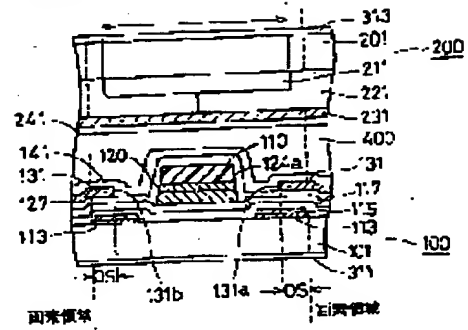
【図2】



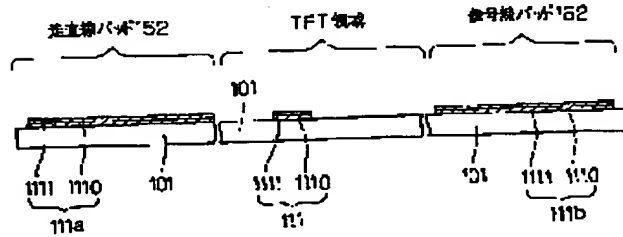
【図4】



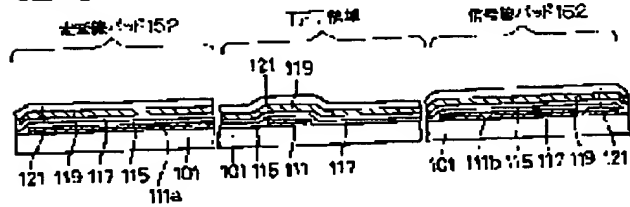
【図6】



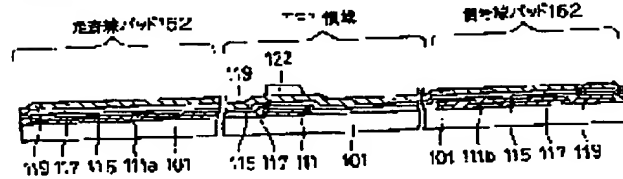
【図7】



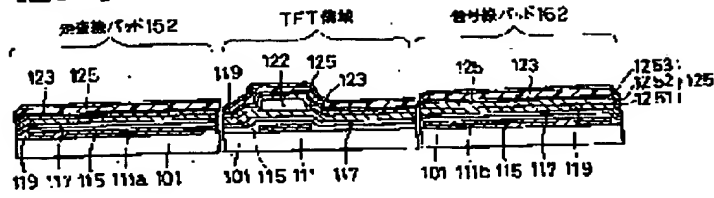
【図8】



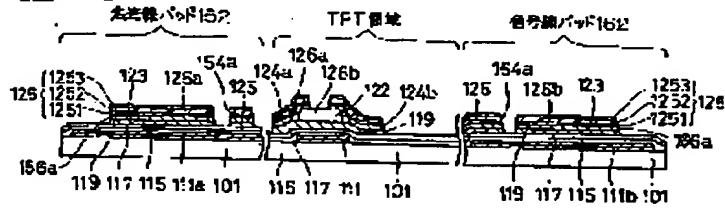
【図9】



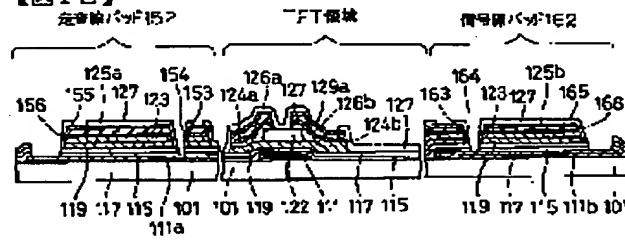
【図10】



【図11】



【図12】



【図13】

